

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-204061

(P2003-204061A)

(43) 公開日 平成15年7月18日 (2003.7.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 A 4 M 1 0 4
21/28	3 0 1		3 0 1 Z 5 F 0 5 8
		21/316	X 5 F 1 4 0
21/316		29/78	3 0 1 G
29/43		29/62	G
審査請求 有 請求項の数23 O L (全 11 頁)			

(21) 出願番号 特願2002-1546(P2002-1546)

(22) 出願日 平成14年1月8日 (2002.1.8)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 犬宮 誠治

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 江口 和弘

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

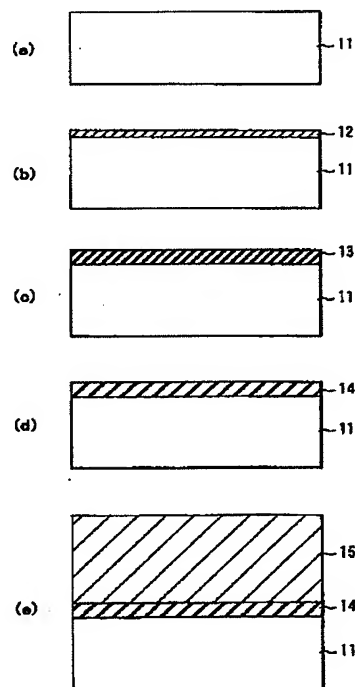
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 メタル元素を含有するシリコン酸化膜を有する半導体装置において、その特性や信頼性の向上をはかる。

【解決手段】 半導体基板(11)と、半導体基板上に形成され、メタル元素を含有するシリコン酸化膜を含むゲート絶縁膜(14)と、ゲート絶縁膜上に形成された電極(15)とを含む半導体装置であって、メタル元素を含有するシリコン酸化膜は、下面近傍の第1の領域と、上面近傍の第2の領域と、第1の領域と第2の領域との間の第3の領域とを有し、シリコン酸化膜に含有されたメタル元素の厚さ方向における濃度分布は、第3の領域に最大点を有する。



## 【特許請求の範囲】

【請求項 1】半導体基板と、前記半導体基板上に形成され、メタル元素を含有するシリコン酸化膜を含むゲート絶縁膜と、前記ゲート絶縁膜上に形成された電極とを含む半導体装置であって、

前記メタル元素を含有するシリコン酸化膜は、下面近傍の第 1 の領域と、上面近傍の第 2 の領域と、第 1 の領域と第 2 の領域との間の第 3 の領域とを有し、

前記シリコン酸化膜に含有されたメタル元素の厚さ方向における濃度分布は、前記第 3 の領域に最大点を有することを特徴とする半導体装置。

【請求項 2】前記シリコン酸化膜はさらに窒素を含有し、

前記シリコン酸化膜に含有された窒素の厚さ方向における濃度分布は、前記第 2 の領域に最大点を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記シリコン酸化膜に含有されたメタル元素は、Zr、Hf、Al 及び La の群の中から選択されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記シリコン酸化膜はさらに別のメタル元素を含有し、

前記別のメタル元素は、Zr、Hf、Al 及び La の群の中から選択されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】下面近傍の第 1 の領域と、上面近傍の第 2 の領域と、第 1 の領域と第 2 の領域との間の第 3 の領域とを有し、メタル元素の厚さ方向における濃度分布が第 1 の領域又は第 3 の領域に最大点を有する、メタル元素を含有する非晶質シリコン膜を半導体基板上に形成する工程と、

前記メタル元素を含有する非晶質シリコン膜を酸化して、前記メタル元素を含有するシリコン酸化膜を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 6】前記シリコン酸化膜の表面を窒化する工程をさらに含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】前記非晶質シリコン膜は、メタルソースとシリコンソースを用いた CVD によって形成されることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】前記メタルソースは前記メタル元素のハロゲン化物であり、前記シリコンソースはシリコンの水素化物であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】前記非晶質シリコン膜は、活性な酸化種を用いて酸化されることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 10】前記シリコン酸化膜の表面は、プラズマを用いて窒化されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 11】シリコンを含有する有機化合物と、Zr、Hf、Al 及び La の群の中から選択されたメタル元素を含有する有機化合物とを、基板が保持された容器に供給する工程と、

酸素の活性種を用いない熱 CVD によって、前記基板上に前記メタル元素を含有するシリコン酸化膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 12】前記容器にさらに O<sub>2</sub> ガスを供給することを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】前記メタル元素を含有するシリコン酸化膜はゲート絶縁膜であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 14】前記メタル元素を含有する有機化合物はさらに別のメタル元素を含有し、

前記別のメタル元素は、Zr、Hf、Al 及び La の群の中から選択されることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 15】前記容器に供給される前記メタル元素を含有する有機化合物の供給量は、前記容器に供給される前記シリコンを含有する有機化合物の供給量の 1/10 以下であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 16】前記シリコン酸化膜に含有されたメタル元素の原子数を N<sub>M</sub>、シリコンの原子数を N<sub>Si</sub> として、 $0 < N_M / (N_M + N_{Si}) < 0.5$

であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 17】メタル元素を含有するシリコン酸化膜を CVD によって半導体基板上に形成する工程を含む半導体装置の製造方法であって、

半導体基板が保持された容器へのシリコンを含有する有機化合物の供給を開始する工程と、

前記シリコンを含有する有機化合物の供給を開始した後に、前記容器へのメタル元素を含有する有機化合物の供給を開始する工程と、

前記容器への前記メタル元素を含有する有機化合物の供給量を増加させる工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 18】前記メタル元素を含有する有機化合物の供給量を増加させた後、前記容器への前記メタル元素を含有する有機化合物の供給量を減少させる工程と、

前記容器への前記メタル元素を含有する有機化合物の供給を停止する工程と、

前記メタル元素を含有する有機化合物の供給を停止した後、前記容器への前記シリコンを含有する有機化合物の供給を停止する工程と、

をさらに含むことを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】前記シリコンを含有する有機化合物の供給を停止した後に得られた前記金属元素を含有するシリコン酸化膜の表面を窒化する工程をさらに含むことを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 20】前記シリコンを含有する有機化合物は、シリコンのアルコキシド化合物であることを特徴とする請求項 11 又は 17 に記載の半導体装置の製造方法。

【請求項 21】前記シリコンのアルコキシド化合物は、テトラエトキシシランであることを特徴とする請求項 20 に記載の半導体装置の製造方法。

【請求項 22】前記金属元素を含有する有機化合物は、前記金属元素のアルコキシド化合物であることを特徴とする請求項 11 又は 17 に記載の半導体装置の製造方法。

【請求項 23】前記金属元素のアルコキシド化合物は、ターシャリーブトキシ化合物であることを特徴とする請求項 22 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法、特に半導体装置に用いる絶縁膜に関する。

【0002】

【従来の技術】MOSFET の微細化に伴い、ゲート絶縁膜の薄膜化が要求されている。従来用いられているシリコン酸化膜やシリコン酸窒化膜では、ダイレクトトンネル電流の増加により、約 2 nm で薄膜化の限界に達してしまう。

【0003】そこで、金属を含有するシリコン酸化膜（金属シリケート膜或いはシリケート膜と呼ぶ場合もある）のゲート絶縁膜への適用が提案されている。この金属シリケート膜は、誘電率がシリコン酸化膜よりも高く、且つ結晶化温度が比較的高いことから、ポリ Si（ポリ SiGe）ゲート電極プロセスとの整合性が高い。

【0004】ゲート電極からのボロン拡散を抑制するために、窒素を含むオキシ窒化金属シリコン膜も提案されている（特開 2000-49349）。しかしながら、良好な界面特性を有するオキシ窒化金属シリコン膜は得られていない。また、金属窒化物が導電性であるため、リーク電流が多く、電荷トラップ密度も高い。さらに、ゲート電極界面において金属シリサイドが形成され、絶縁特性を損なうこともある。

【0005】金属シリケート膜の形成方法としては、有機シランを用いた CVD 法（化学気相堆積法）があげられる。有機シランの中でも、テトラエトキシシラン（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ：TEOS）がよく用いられている。TEOS は、分解温度が高いため、熱 CVD 法を用いた場合には、700℃以上の温度が必要である。そこで、より低温で膜形成を行うために、TEOS とともにオゾン（ $\text{O}_3$ ）を用いる方法や、プラズマ CVD 法が用いられる。

【0006】しかしながら、オゾンやプラズマを用いた場合、成膜雰囲気中に酸素ラジカルや酸素イオンなどの酸素の活性種が生成される。活性な酸素は反応性が高いため、下地を酸化してしまうといった問題が生じる。また、プラズマを用いた場合、プラズマダメージによって下地に損傷を与えるといった問題も生じる。

【0007】金属シリケート膜の形成方法に関連する公知技術としては、以下のようなものがある。

【0008】特開平 5-239650 号公報には、アルコキシシランをソースとした CVD 法において、チタン族元素のアルコキシド或いはアルキルアミン化合物を添加する方法が開示されている。しかしながら、オゾンやプラズマを用いているため、基本的に酸素の活性種を用いる方法である。

【0009】特開平 6-160657 号公報も、オゾンを用いる方法であり、酸素の活性種を用いる方法である。

【0010】特開平 11-111715 号公報には、アルコキシル基を有する化合物の熱分解によって生じる生成物を、ソースガスに添加する方法が開示されている。しかしながら、シリコンソースと金属ソースを混ぜることに関する記載はない。

【0011】特開平 5-226608 号公報には、金属シリケート膜に含有される金属として、チタンを用いることが開示されている。しかしながら、チタンを含有する金属シリケート膜は、良好な特性が得られ難く、半導体装置への適用が難しいという問題がある。

【0012】

【発明が解決しようとする課題】以上述べたように、従来は、優れた特性を有する金属シリケート膜が得られないといった問題や、下地に悪影響を与えるといった問題があった。そのため、特性や信頼性に優れた半導体装置を得ることが困難であった。

【0013】本発明は上記従来の課題に対してなされたものであり、金属元素を含有するシリコン酸化膜を有する半導体装置において、その特性や信頼性の向上をはかることを目的としている。

【0014】

【課題を解決するための手段】本発明に係る半導体装置は、半導体基板と、前記半導体基板上に形成され、金属元素を含有するシリコン酸化膜を含むゲート絶縁膜と、前記ゲート絶縁膜上に形成された電極とを含む半導体装置であって、前記金属元素を含有するシリコン酸化膜は、下面近傍の第 1 の領域と、上面近傍の第 2 の領域と、第 1 の領域と第 2 の領域との間の第 3 の領域とを有し、前記シリコン酸化膜に含有された金属元素の厚さ方向における濃度分布は、前記第 3 の領域に最大点を有することを特徴とする。

【0015】本発明に係る半導体装置の製造方法は、下面近傍の第 1 の領域と、上面近傍の第 2 の領域と、第 1

の領域と第2の領域との間の第3の領域とを有し、メタル元素の厚さ方向における濃度分布が第1の領域又は第3の領域に最大点を有する、メタル元素を含有する非晶質シリコン膜を半導体基板上に形成する工程と、前記メタル元素を含有する非晶質シリコン膜を酸化して、前記メタル元素を含有するシリコン酸化膜を形成する工程と、を含むことを特徴とする。

【0016】また、本発明に係る半導体装置の製造方法は、シリコンを含有する有機化合物と、Zr、Hf、Al及びLaの群の中から選択されたメタル元素を含有する有機化合物とを、基板が保持された容器に供給する工程と、酸素の活性種を用いない熱CVDによって、前記基板上に前記メタル元素を含有するシリコン酸化膜を形成する工程と、を含むことを特徴とする。

【0017】また、本発明に係る半導体装置の製造方法は、メタル元素を含有するシリコン酸化膜をCVDによって半導体基板上に形成する工程を含む半導体装置の製造方法であって、半導体基板が保持された容器へのシリコンを含有する有機化合物の供給を開始する工程と、前記シリコンを含有する有機化合物の供給を開始した後、前記容器へのメタル元素を含有する有機化合物の供給を開始する工程と、前記容器への前記メタル元素を含有する有機化合物の供給量を増加させる工程と、を含むことを特徴とする。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0019】（第1の実施形態）以下、図面を参照して、本発明の第1の実施形態を説明する。

【0020】図1は、第1の実施形態に係るMIS(MOS)型電界効果トランジスタにおいて、ゲート絶縁膜として用いるメタルシリケート膜(シリコンを含有するシリコン酸化膜)中のメタル元素の膜厚方向の濃度分布を模式的に示したものである。ここではメタル元素としてZr(ジルコニウム)を用いているが、Hf(ハフニウム)、Al(アルミニウム)、La(ランタン)等、シリコン酸化膜に添加することでシリコン酸化膜に比べて誘電率が増加する元素を用いても、Zrの場合と同様の効果を得ることが可能である。

【0021】図1に示すように、メタルシリケート膜の中央付近においてZrの濃度が最大となっている。なお、濃度ピークは、必ずしもメタルシリケート膜の中央である必要はなく、メタルシリケート膜の下面近傍の領域(メタルシリケート膜とシリコン基板との界面近傍の領域)と、上面近傍の領域(メタルシリケート膜とゲート電極との界面近傍の領域)とに挟まれた領域(内部領域)であればよい。

【0022】このような構成にすることで、特性や信頼性に優れたMIS型電界効果トランジスタを得ることができる。すなわち、半導体基板側の界面においては、界

面での固定電荷密度が低く、チャネル移動度の低下が抑制される。また、ゲート電極側の界面においては、ゲート電極としてポリSiやポリSiGeを用いた場合、界面でのシリサイド反応を抑制することができ、信頼性の低下を防止することができる。

【0023】図2は、上述したような構成に対し、さらにゲート電極側に窒素(N)を導入した場合の、Zr及びNの濃度分布を模式的に示したものである。図2に示すように、ゲート電極側の界面近傍においてN濃度が最大となっている。

【0024】このように、メタルシリケート膜の上面側に急峻なN濃度のピークがあるため、ゲート電極としてポリSiやポリSiGeを用いた場合、ドーパントとして用いるボロン等の不純物がゲート絶縁膜中さらには半導体基板へ拡散することを、有効に抑制することができる。また、Zrと窒素の反応が抑制されるため、リーク電流の増加や信頼性の低下を抑制することができる。さらに、上面側に窒素が存在するため、基板側界面近傍の固定電荷密度の増加が抑制され、チャネル移動度の低下を抑制することができる。

【0025】なお、メタルシリケート膜中に含有されるメタル元素は、必ずしも1種類である必要はなく、Zr、Hf、Al及びLaの中の2種類以上の元素が含有されていてもよい。

【0026】次に、本実施形態の製造方法について、図3(a)乃至図3(e)を参照して説明する。

【0027】まず、図3(a)に示すように、通常の素子分離領域(図示せず)を設けたシリコン基板11を用意する。

【0028】次に、図3(b)に示すように、シリコン基板11の表面上に、Zrを含有する非晶質シリコン膜12を約2nm堆積する。この非晶質シリコン膜12は、例えばZrCl<sub>4</sub>、SiH<sub>4</sub>及びH<sub>2</sub>を用いたLPCVD法によって形成される。典型的な成膜条件は、500℃、0.5Torrである。ZrCl<sub>4</sub>とSiH<sub>4</sub>の流量比を制御することで、Zrを含有する非晶質シリコン膜12中のZr濃度のピークを、膜厚方向の中央付近にすることが可能である。

【0029】非晶質シリコン膜12は、ZrターゲットとSiターゲットを用いたスパッタリング法を用いて堆積してもよい。この場合は、ZrスパッタリングとSiスパッタリングのパワー比を制御することで、Zr濃度のピークを、膜厚方向の中央付近にすることが可能である。

【0030】なお、Zrの濃度ピークは、必ずしも非晶質シリコン膜12の中央である必要はなく、非晶質シリコン膜12の下面近傍の領域と上面近傍の領域とに挟まれた領域(内部領域)であればよい。また、非晶質シリコン膜12の下面近傍の領域にZrの濃度ピークがあってもよい。

10

20

30

40

50

【0031】次に、図3(c)に示すように、基板温度400℃とし、O<sub>2</sub>プラズマ酸化法を用いて、Zrを含有する非晶質シリコン膜12を酸化し、Zrシリケート膜(Zrを含有するシリコン酸化膜)13を形成する。Zrシリケート膜13は、非晶質シリコン膜12のZr濃度分布を反映して、図1に示すようなZr濃度分布を有する。ここで、比較的低温で酸化が可能なプラズマ酸化法を用いることにより、酸化時の結晶化が抑制され、結晶化に伴うモフォロジー荒れを防止することができる。

【0032】なお、非晶質シリコン膜12の下面近傍の領域にZrの濃度ピークがある場合にも、上記酸化工程においてシリコン基板11の表面領域も酸化されるため、やはりZrシリケート膜13の内部にZrの濃度ピークが位置する。

【0033】次に、図3(d)に示すように、ウェハ温度を400℃とし、N<sub>2</sub>プラズマ窒化法を用いて、Zrシリケート膜13の表面を窒化し、表面が窒化されたZrシリケート膜14を形成する。この表面が窒化されたZrシリケート膜14は、図2に示すような窒素濃度分布になる。

【0034】次に、図3(e)に示すように、ゲート電極となるポリSiGe膜(ポリSi膜でもよい)15を、LPCVD法を用いて約150nm堆積する。ここで、ポリSiGe膜15を堆積する前に、例えば900℃、10秒のアニールを行い、導入された窒素の安定化を行ってもよい。

【0035】その後、リソグラフィ工程、ゲート電極エッチング工程、イオン注入工程、活性化アニール工程等を経て、MIS型トランジスタが形成される(図示せず)。さらに、配線工程を経て、半導体装置が完成する(図示せず)。

【0036】以上のように、本実施形態によれば、メタルシリケート膜中のメタル元素の濃度分布を最適化することで、良好な界面特性が得られるとともに、ゲート電極界面の反応が抑制される。また、窒素の濃度分布を最適化することで、メタルシリケート膜中のトラップの増加が抑制されるとともに、ゲート電極からの不純物の拡散を抑制できる。したがって、高性能且つ信頼性の高い半導体装置を実現することができる。

【0037】また、メタル元素としてZr、Hf、AlまたはLaを用いることで、メタルシリケート膜の実効的な誘電率を増加させることができる。そのため、物理的膜厚の厚いメタルシリケート膜をゲート絶縁膜として用いることができ、高性能且つ信頼性の高い半導体装置を実現することができる。

【0038】また、本実施形態によれば、メタルとシリコンの2元素の堆積によって非晶質シリコン膜を形成することで、組成の制御が容易となり、低コストで高性能な半導体装置を製造することができる。また、部分的な

金属酸化物結晶の形成が抑制され、特性ばらつきの少ない半導体装置を実現することができる。さらに、メタル元素と独立に窒素を導入することにより、最適な膜組成を容易に実現することができる。

【0039】また、メタルソースとシリコンソースを用いたCVD法で非晶質シリコン膜を形成することにより、例えば局所的な凹凸を有する半導体表面上にも、均一に成膜を行うことが可能となり、信頼性の高い半導体装置を実現することができる。また、メタルソースにメタル元素のハロゲン化物を用い、シリコンソースにシリコンの水素化物を用いることで、極薄膜の制御性を確保可能な比較的低温で成膜が可能であり、歩留まりを高くすることができる。

【0040】また、O<sub>2</sub>プラズマ酸化法等、非晶質シリコン膜を活性な酸化種を用いて酸化することで、メタルシリケート膜の多結晶化を抑制することが可能となる。さらに、メタルシリケート膜の表面をプラズマを用いて窒化することで、急峻な濃度分布を有する窒素を低温でメタルシリケート膜に導入することが可能となる。

【0041】(第2の実施形態)以下、図面を参照して、本発明の第2の実施形態を説明する。本実施形態は、メタルシリケート膜(メタル元素を含有するシリコン酸化膜)を、酸素の活性種を用いずに、熱CVD法によって形成するものである。ガスソースには、シリコンを含有する有機化合物と、メタル元素(Zr、Hf、Al又はLa)を含有する有機化合物を用いる。

【0042】(実施形態2-A)本実施形態は、メタルシリケート膜を、テトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>:TEOS)とジルコニウムターシャリーブトキサイド(Zr(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>:ZTB)を用いて、熱CVD法で堆積する例である。

【0043】図4は、本実施形態で用いるLPCVD装置の一例を示したものである。以下、図4を参照しながら、製造方法を説明する。

【0044】まず、8インチシリコン基板を用意し、純水で希釈したフッ酸を用いて、シリコン基板表面に形成されている自然酸化膜を除去する。希フッ酸処理後直ちに、シリコン基板103を反応容器101内に設置されているサセプター104上に搬送する。さらに、反応容器101内を真空ポンプ107で排気する。

【0045】反応容器101内の圧力が10<sup>-2</sup>Torr以下に到達した後、マスフローコントローラー124及び125によって流量を300sccmに設定したArガスを反応容器内に導入する。そして、圧力計108と連動する圧力調整バルブ106によって、反応容器101内の圧力が10Torrなるように制御する。反応容器101内の圧力が安定した後、基板加熱ヒーター105により基板103の加熱を開始する。基板103の温度は、サセプター104に接するように配置された熱電対と温度調節器(図示せず)を用いて、595℃になるように制御す

る。

【0046】基板温度が安定した後、酸素ガス（ $O_2$  ガス）を、マスフローコントローラー123で流量が200 sccmになるように調整し、バルブ143を通して、反応容器101を介さずに流す。また、アルゴンガスを、マスフローコントローラー121及び122でそれぞれ100 sccmになるように調整し、原料容器111及び112に流すことで、原料のパブリングを開始する。これらのガスも、それぞれバルブ141及び142を通し、反応容器101を介さずに流す。

【0047】原料容器111内にはTEOSが、原料容器112内にはZTBが、それぞれ充填されている。原料容器111及び112はいずれも、70℃となるように温度制御する。また、圧力計151及び152並びに圧力調整バルブ131及び132を用いて、原料容器111及び112内の圧力が、それぞれ100 Torrになるように調整する。このような条件で、TEOSは56 sccm、ZTBは1.6 sccmの流量になると推定される。

【0048】原料の温度が70℃と室温より高いため、反応容器101へ原料ガスを輸送する配管及びバルブをオープン内に収納して200℃程度に加熱し、凝集を防止する。また、シャワーヘッド102も、オイルを用いて200℃程度に加熱し、シャワーヘッド内での原料の凝集も防止する。ここまでの成膜を開始する前段階である。

【0049】予め流しておいた酸素ガスと原料ガスを、バルブ141、142及び143を同時にバルブ144、145及び146へ切り替えることにより、シャワーヘッド102を介して反応容器101内に導入し、成膜を開始する。成膜時間は10分である。

【0050】10分経過後、バルブ144、145及び146をバルブ141、142及び143へ切り替えることにより、TEOS、ZTB及び酸素ガスの反応容器内への供給を停止する。ガスの供給を停止した後、直ちに基板加熱ヒーター105への通電を停止し、基板103を冷却する。基板温度が200℃まで低下した後、基板103を反応容器101から取り出す。

【0051】このようにして形成した薄膜の膜厚を、エリプソメーターを用いて測定したところ、237 nmのZrシリケート膜が形成されていた。また、基板温度を550℃、570℃にして、同様の成膜を行った。基板温度を変えた以外は、上述した条件と同じである。その結果、550℃では191 nm、570℃では176 nmであった。図5は、これらのデータを成膜速度に変換したものである。

【0052】比較のため、TEOSのみを用いて成膜を行った。成膜の手順は、上述したのと全く同様である。ただし、ZTBの供給は行わなかった。基板温度は570℃及び590℃とした。その結果、基板温度570℃では0.7 nm、590℃では0.9 nmの膜厚であっ

た。図6は、これらのデータを成膜速度に変換したものである。

【0053】また、ZTBのみを用いて595℃で成膜を行った結果、成膜速度は0.1 nm/分以下であった。

【0054】これらのことから、TEOSとZTBの両方を同時に供給した場合に限り、成膜速度が増加することがわかる。

【0055】以上のように、TEOSの流量（供給量）の1/10以下のわずかなZTBを同時に供給することにより、TEOSのみの場合に比べて、100倍以上の成膜速度が得られ、実用的な成膜速度でのメタルシリケート膜の形成が可能である。

【0056】また、下地基板に悪影響を与えるプラズマやオゾンなどの化学的に活性な酸素を用いなくても、600℃以下の比較的低温で、熱CVD法によってメタルシリケート膜を形成することができる。これは、ZTBによりTEOSの分解反応が促進されるためである。

【0057】Zrシリケート膜に含有されたZr原子数とSi原子数の和に対するZr原子数の比率（組成比）を、蛍光X線測定によって調べた。上記比率を、ここでは $Zr/(Zr+Si)$ と表す。その結果、ZTBとTEOSを同時に供給して成膜した試料では、 $Zr/(Zr+Si)$ が12~30%であった。また、ZTBとTEOSの流量を制御することにより、 $Zr/(Zr+Si)$ を5~30%の範囲で制御できることを確認した。

【0058】 $Zr/(Zr+Si)$ が大きくなると、得られるZrシリケート膜の比誘電率が高くなる。言い換えれば、ZrとSiの比率を制御することにより、Zrシリケート膜の比誘電率を制御できることになる。このことは、半導体装置へ応用する際に重要になる。すなわち、層間絶縁膜やスペーサー膜等、比誘電率が低い方が好ましい場合には、 $Zr/(Zr+Si)$ が小さくなるように、ZTBとTEOSの供給量を調整する。一方、ゲート絶縁膜のように、比誘電率が高い方が好ましい場合には、 $Zr/(Zr+Si)$ が大きくなるように、ZTBとTEOSの供給量を調整する。

【0059】（実施形態2-B）本実施形態は、メタルシリケート膜を、TEOSとハフニウムターシャリーブトキサイド（ $Hf(Ot-C_4H_9)_4$ ：HTB）を用いて、熱CVD法で堆積する例である。本実施形態でも、上述した実施形態2-A同様、図4に示したLPCVD装置を用いる。

【0060】まず、8インチシリコン基板を用意し、純水で希釈したフッ酸を用いて、シリコン基板表面に形成されている自然酸化膜を除去する。希フッ酸処理後直ちに、シリコン基板103を反応容器101内に設置されているサセプター104上に搬送する。さらに、反応容器101内を真空ポンプ107で排気する。

【0061】反応容器101内の圧力が $10^{-2}$  Torr以下



に到達した後、マスフローコントローラー 124 及び 125 によって流量を 300 sccm に設定した Ar ガスを反応容器内に導入する。そして、圧力計 108 と連動する圧力調整バルブ 106 によって、反応容器 101 内の圧力が 1 Torr なるように制御する。反応容器 101 内の圧力が安定した後、基板加熱ヒーター 105 により基板 103 の加熱を開始する。基板 103 の温度は、サセプター 104 に接するように配置された熱電対と温度調節器（図示せず）を用いて、570℃ になるように制御する。

【0062】基板温度が安定した後、酸素ガス（O<sub>2</sub> ガス）を、マスフローコントローラー 123 で流量が 200 sccm になるように調整し、バルブ 143 を通して、反応容器 101 を介さずに流す。また、アルゴンガスを、マスフローコントローラー 121 及び 122 でそれぞれ 100 sccm になるように調整し、原料容器 111 及び 112 に流すことで、原料のパブリングを開始した。これらのガスも、それぞれバルブ 141 及び 142 を通し、反応容器 101 を介さずに流す。

【0063】原料容器 111 内には TEOS が、原料容器 112 内には HTB が、それぞれ充填されている。原料容器 111 及び 112 はそれぞれ、40℃ 及び 45℃ となるように温度制御する。また、圧力計 151 及び 152 並びに圧力調整バルブ 131 及び 132 を用いて、原料容器 111 及び 112 内の圧力が、それぞれ 100 Torr になるように調整する。このような条件で、TEOS は 12 sccm、ZTB は 0.31 sccm の流量になると推定される。

【0064】原料の温度が室温より高いため、反応容器 101 へ原料ガスを輸送する配管及びバルブをオープン内に収納して 200℃ 程度に加熱し、凝集を防止する。また、シャワーヘッド 102 も、オイルを用いて 200℃ 程度に加熱し、シャワーヘッド内での原料の凝集も防止する。ここまです成膜を開始する前段階である。

【0065】予め流しておいた酸素ガスと原料ガスを、バルブ 141、142 及び 143 を同時にバルブ 144、145 及び 146 へ切り替えることにより、シャワーヘッド 102 を介して反応容器 101 内に導入し、成膜を開始する。成膜時間は 10 分である。

【0066】10 分経過後、バルブ 144、145 及び 146 をバルブ 141、142 及び 143 へ切り替えることにより、TEOS、HTB 及び酸素ガスの反応容器内への供給を停止する。ガスの供給を停止した後、直ちに基板加熱ヒーター 105 への通電を停止し、基板 103 を冷却する。基板温度が 200℃ まで低下した後、基板 103 を反応容器 101 から取り出す。

【0067】このようにして形成した薄膜の膜厚を、エリプソメーターを用いて測定したところ、40 nm の Hf シリケート膜が形成されていた。

【0068】比較のため、TEOS のみを用いて成膜を

行った。成膜の手順は、上述したのと全く同様である。ただし、HTB の供給は行わなかった。その結果、膜厚は 0 nm であり、メタルシリケート膜の形成は認められなかった。

【0069】また、HTB のみを用いて 570℃ で成膜を行った結果、成膜速度は 0.1 nm/分以下であった。

【0070】これらのことから、TEOS と HTB の両方を同時に供給した場合に限り、成膜速度が増加することがわかる。

【0071】以上のように、TEOS の流量（供給量）の 1/10 以下のわずかな HTB を同時に供給することにより、TEOS のみの場合に比べて、成膜速度が大幅に増加し、実用的な成膜速度でのメタルシリケート膜の形成が可能である。

【0072】また、下地基板に悪影響を与えるプラズマやオゾンなどの化学的に活性な酸素を用いなくても、600℃ 以下の比較的低温で、熱 CVD 法によってメタルシリケート膜を形成することができる。これは、HTB により TEOS の分解反応が促進されるためである。

【0073】Hf シリケート膜に含有された Hf 原子数と Si 原子数の和に対する Hf 原子数の比率（組成比）を、蛍光 X 線測定によって調べた。上記比率を、ここでは  $Hf / (Hf + Si)$  と表す。その結果、HTB と TEOS を同時に供給して成膜した試料では、 $Hf / (Hf + Si)$  が 23% であった。また、HTB と TEOS の流量を制御することにより、 $Hf / (Hf + Si)$  を 5~30% の範囲で制御できることを確認した。

【0074】 $Hf / (Hf + Si)$  が大きくなると、得られる Hf シリケート膜の比誘電率が高くなる。言いかえると、Hf と Si の比率を制御することにより、Hf シリケート膜の比誘電率を制御できることになる。このことは、半導体装置へ応用する際に重要になる。すなわち、層間絶縁膜やスペーサー膜等、比誘電率が低い方が好ましい場合には、 $Hf / (Hf + Si)$  が小さくなるように、ZTB と TEOS の供給量を調整する。一方、ゲート絶縁膜のように、比誘電率が高い方が好ましい場合には、 $Hf / (Hf + Si)$  が大きくなるように、HTB と TEOS の供給量を調整する。

【0075】本実施形態で行った成膜の結果を図 7 に示す。基板温度はいずれも 570℃、反応室内の圧力は 1 Torr、成膜時間は 10 分である。

【0076】（実施形態 2-C）本実施形態は、実施形態 2-B の方法によって形成したメタルシリケート膜を有する MOS キャパシタに関するものである。

【0077】図 8 に示すように、n 型シリコン基板 21 上に、実施形態 2-B の方法によってメタルシリケート膜 22 を 4 nm の厚さで形成した。膜厚の制御は、成膜時間を変えることで行った。形成されたメタルシリケート膜 22 では、 $Hf / (Hf + Si)$  が 10% であるこ

10

20

30

40

50

とを、蛍光X線測定により確認した。さらに、メタルシリケート膜22上に、白金電極23を形成した。白金電極23は、シャドーマスクを通して、スパッタリング法により形成した。

【0078】このようにして作製したMOSキャパシタを用いて、容量-電圧法(C-V法)により、界面準位密度を測定した。その結果、シリコンのバンドギャップ中に形成された界面準位密度の最低値は、 $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。

【0079】比較のため、メタルシリケート膜22を、TEOSと酸素を用いたプラズマCVD法で形成した。基板温度を400℃とし、13.56MHzのRFプラズマを用いた。膜厚は4nmとした。電極23には、スパッタリング法により形成した白金を用いた。このようにして形成されたMOSキャパシタの界面準位密度を測定した結果、 $1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。

【0080】別の比較例として、メタルシリケート膜22をTEOS-O<sub>3</sub>を用いた熱CVD法で形成し、先と同様のMOSキャパシタを作製した。メタルシリケート膜22は、ホットウォール型CVD装置を用い、常圧、400℃で形成した。膜厚は4nmとした。上部電極23は白金とした。このMOSキャパシタを用いて測定した結果、界面準位密度は $5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。

【0081】図9は、上述した各測定結果をまとめたものである。

【0082】プラズマCVD法でメタルシリケート膜を形成した場合に、界面準位密度が高くなるのは、メタルシリケート膜の形成時に、プラズマによってシリコン基板表面が損傷を受けるためである。TEOS-O<sub>3</sub>を用いた熱CVD法でメタルシリケート膜を形成した場合に、界面準位密度が高くなるのは、O<sub>3</sub>の化学反応性が高いため、シリコン基板表面が良好な状態を維持できないためである。

【0083】これに対し、本実施形態では、酸素の活性種を用いないため、欠陥の少ない酸化膜/シリコン界面を形成することができる。その結果として、低い界面準位密度が得られる。

【0084】以上のように、本実施形態によれば、シリコンソースとメタルソースの相互作用により、ソースガスの分解が促進される。そのため、例えば600℃以下の低温でも、酸素の活性種を用いずに、熱CVD法によって良質のメタルシリケート膜を形成することができる。また、酸素の活性種を用いないことから、メタルシリケート膜と半導体基板の間の界面では、優れた界面特性を得ることができる。

【0085】また、メタル元素としては、上述したZr及びHfの他、Al或いはLaを用いてもよい。これらの金属元素を用いることで、メタルシリケート膜の実効的な誘電率を増加させることができる。そのため、物理

的膜厚の厚いメタルシリケート膜をゲート絶縁膜として用いることができ、高性能且つ信頼性の高い半導体装置を実現することができる。なお、メタルシリケート膜中に含有されるメタル元素は、必ずしも1種類である必要はなく、Zr、Hf、Al及びLaの中の2種類以上の元素が含有されていても、同様の効果を得ることが可能である。

【0086】また、シリコンソースとしては、シリコンを含有する有機化合物を用いることができ、メタルソースとしては、Zr、Hf、Al及びLaの中の少なくとも一つのメタル元素を含有する有機化合物を用いることができる。

【0087】特に、シリコンを含有する有機化合物としては、TEOS等、シリコンのアルコキシド化合物を用いることが好ましい。また、メタル元素を含有する有機化合物としては、ターシャリープトキシ化合物(M(0t-C<sub>4</sub>H<sub>9</sub>)<sub>3</sub>)<sub>4</sub>：ただし、MはZr、Hf、Al又はLa等のメタル元素のアルコキシド化合物を用いることが好ましい。これらの化合物は、蒸気圧が高いため、CVDの制御性が向上する。その結果、膜厚均一性や組成制御性に優れたメタルシリケート膜の形成が可能になる。

【0088】また、反応容器に供給されるメタルソースの流量(供給量)がシリコンソースの流量(供給量)の1/10よりも大きいと、メタルシリケート膜の成膜速度の増大効果が得られ難いが、1/10以下とすることで成膜速度を大幅に増大させることが可能である。

【0089】また、メタルシリケート膜に含有されたメタル元素の原子数をN<sub>M</sub>、シリコンの原子数をN<sub>Si</sub>として、

$$0 < N_M / (N_M + N_{Si}) < 0.5$$

であることが好ましい。メタル元素の比率が高すぎるとメタルシリケート膜が熱的に不安定になり、特に比率が0.5以上になるとその傾向が顕著になるためである。

【0090】(第3の実施形態)以下、図面を参照して、本発明の第3の実施形態を説明する。本実施形態は、メタルシリケート膜に含有されるメタル元素(Zr、Hf、Al又はLa)に濃度分布を持たせる方法に関するものである。

【0091】図10は、例えば第2の実施形態で説明したようなCVD装置を用いてメタルシリケート膜を形成する際の、ガス供給シーケンスを示した図である。ここでは、シリコンソースとしてTEOSを、メタルソースとしてZTB(或いはHTB)を用いている。なお、基本的な成膜条件等については、第2の実施形態と同様であり、ここでは説明を省略する。

【0092】まず、シリコン基板が収容された反応容器内へのTEOSの供給を開始する。TEOSの供給が安定した後、ZTBの供給を開始し、ZTBの供給量を徐々に増加させてゆく。その後、ZTBの供給量を一定に保ち、所定時間経過した後、ZTBの供給量を徐々に減

10

20

30

40

50



少させてゆく。その後、ZTBの供給を停止し、さらにTEOSの供給を停止する。このようにして、シリコン基板上にメタルシリケート膜が形成される。さらに、窒素プラズマを用いてメタルシリケート膜の表面を窒化する。

【0093】このようにして得られたメタルシリケート膜では、メタル元素及び窒素の濃度分布は、例えば第1の実施形態で示した図2のようになる。したがって、図3(a)乃至図3(e)で説明したような工程を減らすことで、第1の実施形態で述べたのと同様の効果を有する半導体装置を得ることができる。

【0094】また、シリコンソース及びメタルソースには、TEOS及びZTB以外にも、第2の実施形態で詳述したものを同様に適用可能である。したがって、例えば第2の実施形態と同様に、酸素の活性種を用いない熱CVD法を用いることで、第2の実施形態で述べたのと同様の効果を有する半導体装置を得ることができる。

【0095】以上のように、本実施形態によれば、メタルシリケート膜中のメタル元素や窒素の濃度分布を最適化することができ、高性能且つ信頼性の高い半導体装置を実現することが可能となる。また、酸素の活性種を用いない熱CVD法を用いることで、より高性能且つ信頼性の高い半導体装置を実現することが可能となる。

【0096】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0097】

【発明の効果】本発明によれば、メタル元素を含有するシリコン酸化膜を有する半導体装置の特性や信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係り、メタルシリケート膜中のメタル元素の膜厚方向の濃度分布を模式的に示した図である。

【図2】本発明の第1の実施形態に係り、メタルシリケート膜中のメタル元素及び窒素の膜厚方向の濃度分布を模式的に示した図である。

10

\* 【図3】本発明の第1の実施形態に係る半導体装置の製造方法を示した断面図である。

【図4】本発明の第2の実施形態に係り、CVD装置の構成を示した図である。

【図5】本発明の第2の実施形態に係り、メタルシリケート膜の成膜速度と基板温度との関係を示した図である。

【図6】本発明の第2の実施形態の比較例に係り、メタルシリケート膜の成膜速度と基板温度との関係を示した図である。

【図7】本発明の第2の実施形態に係り、HTBとTEOSの流量を変化させたときの、メタルシリケート膜の測定結果を示した図である。

【図8】本発明の第2の実施形態に係る半導体装置の構成を示した断面図である。

【図9】本発明の第2の実施形態に係り、界面準位密度の低減効果を示した図である。

【図10】本発明の第3の実施形態に係り、ガス供給シーケンスを示した図である。

【符号の説明】

11…シリコン基板

12…非晶質シリコン膜

13…Zrシリケート膜

14…表面が窒化されたZrシリケート膜

15…ポリSiGe膜

21…n型シリコン基板

22…メタルシリケート膜

23…白金電極

101…反応容器

102…シャワーヘッド

103…シリコン基板

104…サセプター

105…基板加熱ヒーター

106、131、132…圧力調整バルブ

107…真空ポンプ

108、151、152…圧力計

109…加熱オープン

111、112…原料容器

121、122、123、124、125…マスフロー

コントローラー

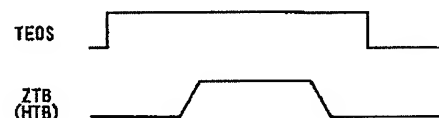
141、142、143、144、145、146…バルブ

40

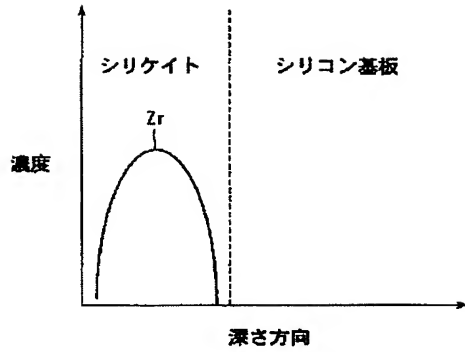
【図9】

絶縁膜形成方法	界面準位密度 ( $\text{cm}^{-2}\text{eV}^{-1}$ )
TEOS-HTB-O <sub>2</sub>	$2 \times 10^{11}$
プラズマ TEOS-O <sub>2</sub>	$1 \times 10^{13}$
TEOS-O <sub>3</sub>	$5 \times 10^{12}$

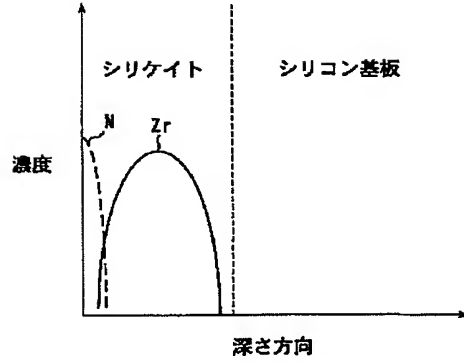
【図10】



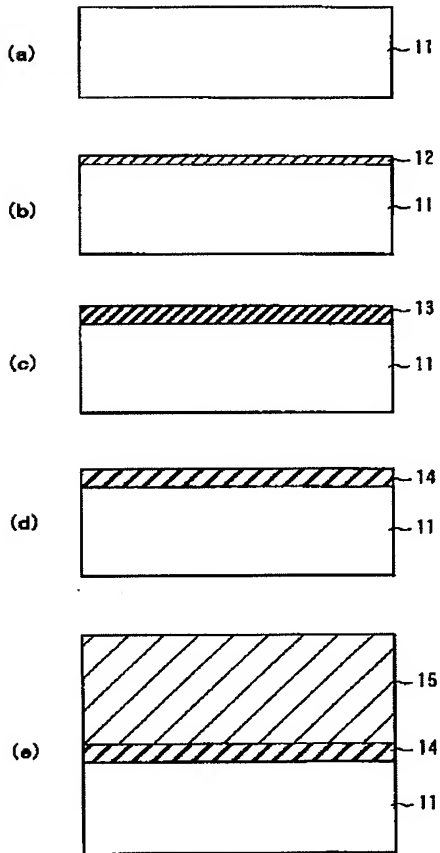
【図1】



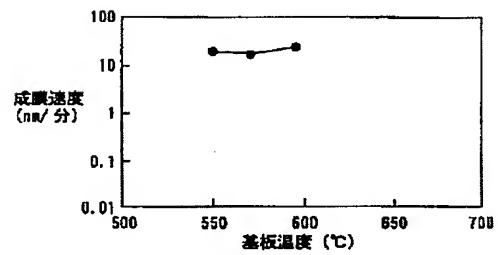
【図2】



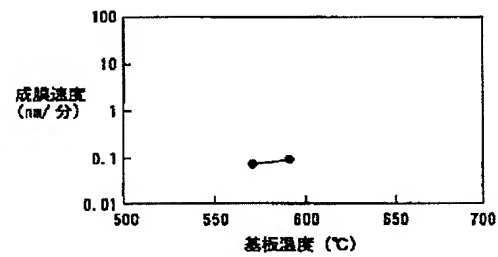
【図3】



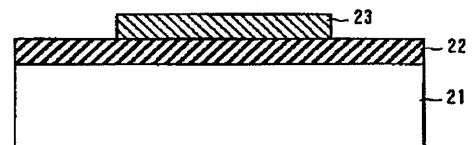
【図5】



【図6】



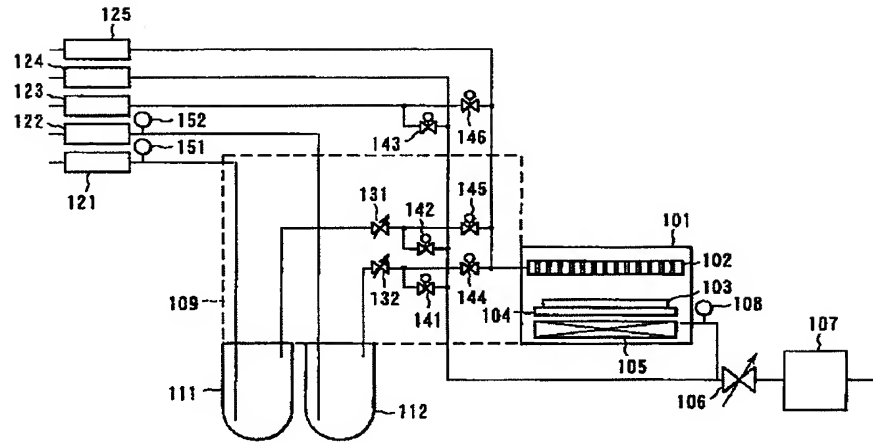
【図8】



【図7】

HTB 流量 (sccm)	TEOS 流量 (sccm)	膜厚 (nm)	Hf/(Hf+Si) (%)
0.31	11.9	40.3	23
0.16	11.9	25.7	19
0.03	11.9	7.9	12
0.03	23.8	10.1	10
0.02	11.9	4.4	7
0	11.9	0	-
0.31	0	<1.0	-

【図4】



フロントページの続き

(72)発明者 綱島 祥隆  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

Fターム(参考) 4M104 AA01 BB01 BB06 BB36 BB40  
CC05 DD43 DD55 EE03 EE14  
GG08 HH04 HH14 HH20  
5F058 BC02 BC08 BD01 BD04 BD05  
BD10 BF04 BF73 BF74 BJ10  
5F140 AA19 AA24 AA37 BA01 BD06  
BD13 BD15 BD16 BD17 BE07  
BE08 BE10 BE16 BF01 BF04  
CB01